

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-193275

(43)Date of publication of application : 08.07.2004

(51)Int.Cl.

H01G 4/38

(21)Application number : 2002-358446

(71)Applicant : OKAYA ELECTRIC IND CO LTD

(22)Date of filing : 10.12.2002

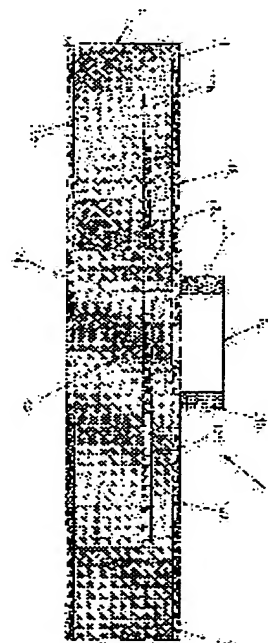
(72)Inventor : TANII YOSHIKIMI

## (54) CAPACITOR FOR BIAS T

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor for a bias T, which is small and stable in characteristics, with good productivity.

SOLUTION: Related to a capacitor C for a bias T, a first conductor pattern 18 is arranged on the surface of a dielectric substrate 16 to face a second conductor pattern 20 with a prescribed interval. In the dielectric substrate 16, an internal electrode 22 which overlaps the first conductor pattern 18 and the second conductor pattern 20 is disposed. So, a pair of high frequency capacitors 12a and 12b connected in series are formed between the first conductor pattern 18 and the internal electrode 22 as well as between the second conductor pattern 20 and the internal electrode 22. Further, one electrode 14a of a low frequency capacitor 14 comprising a ceramic chip capacitor is connected to the first conductor pattern 18, while the other electrode 14b is connected to the second conductor pattern 22. So the low frequency capacitor 14 and the pair of high frequency capacitors 12a and 12b connected in series are connected together in parallel.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**BEST AVAILABLE COPY**

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-193275

(P2004-193275A)

(43) 公開日 平成16年7月8日(2004. 7. 8)

(51) Int. Cl. <sup>7</sup>

H01G 4/38

F I

H01G 4/38

A

テーマコード (参考)

5E082

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2002-358446 (P2002-358446)  
 (22) 出願日 平成14年12月10日 (2002. 12. 10)

(71) 出願人 000122690  
 岡谷電機産業株式会社  
 東京都世田谷区三軒茶屋2-46-3  
 (74) 代理人 100096002  
 弁理士 奥田 弘之  
 (74) 代理人 100091650  
 弁理士 奥田 規之  
 (72) 発明者 谷為 義公  
 長野県岡谷市天竜町3-20-32 岡谷  
 電機産業株式会社長野技術センター内  
 Fターム(参考) 5E082 BB05 BC39 CC07 CC12 CC13

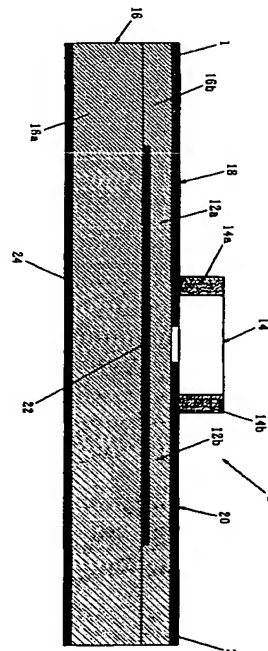
(54) 【発明の名称】 バイアスT用コンデンサ

## (57) 【要約】

【課題】生産性が良く、小型で特性の安定したバイアスT用コンデンサを実現する。

【解決手段】誘電体基板16の表面に、第1の導体パターン18と第2の導体パターン20とを所定の間隙を設けて対向配置すると共に、誘電体基板16内部に、上記第1の導体パターン18、第2の導体パターン20と重なる内部電極22を配置することにより、第1の導体パターン18と内部電極22との間、第2の導体パターン20と内部電極22との間に、一対の直列接続された高周波用コンデンサ12a、12bを形成し、また、セラミックチップコンデンサで構成された低周波用コンデンサ14の一方の電極14aを、第1の導体パターン18に接続すると共に、他方の電極14bを、第2の導体パターン22に接続することにより、該低周波用コンデンサ14と、直列接続された上記一対の高周波用コンデンサ12a、12bとを並列接続して成るバイアスT用コンデンサC。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

高周波用コンデンサと低周波用コンデンサとを並列接続して構成して成るバイアスT用コンデンサであって、誘電体基板の表面に導体パターンを配置すると共に、誘電体基板内部に上記導体パターンと重なる内部電極を配置することにより、上記導体パターンと内部電極との間に上記高周波用コンデンサを形成したことを特徴とするバイアスT用コンデンサ。

## 【請求項 2】

誘電体基板の表面に、第1の導体パターンと第2の導体パターンとを所定の間隙を設けて対向配置すると共に、誘電体基板内部に、上記第1の導体パターン及び第2の導体パターンと重なる内部電極を配置することにより、第1の導体パターンと内部電極との間、第2の導体パターンと内部電極との間に、直列接続された第1の高周波用コンデンサ及び第2の高周波用コンデンサを形成したことを特徴とする請求項1に記載のバイアスT用コンデンサ。

## 【請求項 3】

上記低周波用コンデンサをチップコンデンサで構成すると共に、該低周波用コンデンサの一方の電極を、第1の高周波用コンデンサを構成する第1の導体パターンに接続すると共に、他方の電極を、第2の高周波用コンデンサを構成する第2の導体パターンに接続することにより、低周波用コンデンサと、第1の高周波用コンデンサ及び第2の高周波用コンデンサとを並列接続したことを特徴とする請求項2に記載のバイアスT用コンデンサ。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、高周波信号に影響を与えずに直流電流や直流電圧といった直流成分を重畳して供給するバイアスTに使用して好適なバイアスT用コンデンサに関する。

## 【0002】

## 【従来の技術】

高周波信号に影響を与えずに、直流電流や直流電圧といった直流成分を重畳して供給する電子部品としてのバイアスTが、特開平9-8583号に開示されているように、従来から用いられている。

図4に示すように、バイアスT70は、端子a-b間にコンデンサC'を接続すると共に、端子a-c間にコイルL'を接続することにより構成されている。

上記バイアスT70は、高周波信号は端子a-b間を通過させて、コンデンサC'によって低域成分を除去し、また、直流成分は端子cから入力し、コイルL'によって高域成分を除去して高周波信号に重畳している。

## 【0003】

また、広帯域用のバイアスT70の場合には、上記コンデンサC'は、図5に示すように、高周波用コンデンサ72と低周波用コンデンサ74とを並列接続することにより、広帯域で使用可能なコンデンサを構成していた。

上記高周波用コンデンサ72及び低周波用コンデンサ74は、例えばセラミックチップコンデンサで構成される。

そして、図6に示すように、高周波用コンデンサ72の一方の電極72aを、回路基板76表面の導体パターン78aに接続すると共に、他方の電極72bを、銅箔等より成る外部電極端子80を介して、回路基板76表面の導体パターン78bに接続し、また、低周波用コンデンサ74の一方の電極74aを、上記外部電極端子80を介して、回路基板76表面の導体パターン78bに接続すると共に、他方の電極74bを、銅等より成る導電性の台座82を介して、回路基板76表面の導体パターン78aに接続することにより、高周波用コンデンサ72及び低周波用コンデンサ74の回路基板76への実装が行われている。

## 【特許文献 1】

特開平 9 - 8 5 8 3 号

【 0 0 0 4 】

【 発明が解決しようとする課題 】

上記の通り、従来は、セラミックチップコンデンサで構成された高周波用コンデンサ 7 2 と低周波用コンデンサ 7 4 とを並列接続して広帯域で使用可能なコンデンサを構成し、これら高周波用コンデンサ 7 2 及び低周波用コンデンサ 7 4 を、外部電極端子 8 0 や台座 8 2 を介して回路基板 7 6 へ実装（図 6）していたが、この場合、外部電極端子 8 0 のインダクタンス成分が高周波用コンデンサ 7 2 の高周波特性に大きく影響を与えることから、特性劣化をできるだけ防止するために外部電極端子 8 0 の長さや取付位置等を微調整しながら接続作業を行う必要があり、接続作業が煩雑であった。さらに、個別の部品として完成された高周波用コンデンサ 7 2 及び低周波用コンデンサ 7 4 を、外部電極端子 8 0 や台座 8 2 を用いて回路基板 7 6 への実装を行っていたため、部品点数の増加、形状の大型化をもたらしていた。

10

【 0 0 0 5 】

本発明は、従来の上記問題を解決するために案出されたものであり、その目的とするところは、生産性が良く、小型で特性の安定したバイアス T 用コンデンサの実現にある。

【 0 0 0 6 】

【 課題を解決するための手段 】

上記の目的を達成するために、本発明に係るバイアス T 用コンデンサにあっては、高周波用コンデンサと低周波用コンデンサとを並列接続して構成して成るバイアス T 用コンデンサであって、誘電体基板の表面に導体パターンを配置すると共に、誘電体基板内部に上記導体パターンと重なる内部電極を配置することにより、上記導体パターンと内部電極との間に上記高周波用コンデンサを形成したことを特徴とする。

20

【 0 0 0 7 】

本発明のバイアス T 用コンデンサにあっては、誘電体基板表面に配置された導体パターンと、誘電体基板内部に配置され、上記導体パターンと重なる内部電極との間に、高周波用コンデンサを形成しているので、従来のバイアス T 用コンデンサ C' の如く、導体パターン 7 8 b と高周波用コンデンサ 7 2 とを接続する外部電極端子 8 0 を設ける必要がなく、従って、高周波特性の劣化防止のための外部電極端子 8 0 の煩雑な接続作業が不要となり、生産性及び特性が向上すると共に、部品点数の減少、形状の小型化を実現できる。

30

【 0 0 0 8 】

誘電体基板の表面に、第 1 の導体パターンと第 2 の導体パターンとを所定の間隙を設けて対向配置すると共に、誘電体基板内部に、上記第 1 の導体パターン及び第 2 の導体パターンと重なる内部電極を配置することにより、第 1 の導体パターンと内部電極との間、第 2 の導体パターンと内部電極との間に、直列接続された第 1 の高周波用コンデンサ及び第 2 の高周波用コンデンサを形成しても良い。この場合、上記低周波用コンデンサをチップコンデンサで構成すると共に、該低周波用コンデンサの一方の電極を、第 1 の高周波用コンデンサを構成する第 1 の導体パターンに接続すると共に、他方の電極を、第 2 の高周波用コンデンサを構成する第 2 の導体パターンに接続することにより、低周波用コンデンサと、第 1 の高周波用コンデンサ及び第 2 の高周波用コンデンサとが並列接続できるので、更に、生産性が向上すると共に、部品点数の減少、形状の小型化を実現できる。

40

【 0 0 0 9 】

【 発明の実施の形態 】

以下、添付図面に基づいて、本発明に係るバイアス T 用コンデンサの実施形態を説明する。

図 1 は、本発明に係るバイアス T 用コンデンサ C を使用したバイアス T 1 0 の回路図であり、該バイアス T 1 0 は、第 1 の端子 1、第 2 の端子 2 及び第 3 の端子 3 を有しており、第 1 の端子 1 と第 2 の端子 2 との間に、直列接続された一対の高周波用コンデンサ 1 2 a、1 2 b と低周波用コンデンサ 1 4 とを並列接続して構成したバイアス T 用コンデンサ C を接続すると共に、第 2 の端子 2 と第 3 の端子 3 との間に、コイル L を接続することによ

50

り構成されている。尚、コイルLは、第1の端子1と第3の端子3との間に接続することもできる。

【0010】

図2は、本発明に係るバイアスT用コンデンサCの概略断面図、図3は、概略平面図である。

本発明のバイアスT用コンデンサCは、誘電体基板16表面に、該誘電体基板16の両端から内方に向かって、第1の導体パターン18と第2の導体パターン20とを所定の間隙を設けて対向配置すると共に、誘電体基板16内部に、上記第1の導体パターン18及び第2の導体パターン20と、部分的に重なる内部電極22を配置することにより、第1の導体パターン18と内部電極22との間に上記第1の高周波用コンデンサ12aが形成され、また、第2の導体パターン20と内部電極22との間に上記第2の高周波用コンデンサ12bが形成されている。

10

【0011】

また、セラミックチップコンデンサで構成された上記低周波用コンデンサ14の一方の電極14aを、第1の高周波用コンデンサ12aを構成する第1の導体パターン18に接続すると共に、他方の電極14bを、第2の高周波用コンデンサ12bを構成する第2の導体パターン20に接続することにより、該低周波用コンデンサ14と、直列接続された上記一対の高周波用コンデンサ12a、12bとが並列接続されている。

尚、上記第1の導体パターン18及び第2の導体パターン20において、上記内部電極22と重ならず高周波用コンデンサ12a、12bを構成しない部分は、高周波信号を伝送するマイクロストリップラインを構成すると共に、第1の導体パターン18及び第2の導体パターン20の外端部は、それぞれ上記第1の端子1、第2の端子2と成されている。図2において24は、誘電体基板16の裏面全面に形成されたアース電極である。

20

【0012】

上記内部電極22は、該内部電極22を構成する導体パターンが表面に形成された誘電体基板16aの上に、他の誘電体基板16bを積層した後、加圧・焼成して一体化することにより形成することができる。

尚、上記誘電体基板16は、誘電率が7程度のセラミックにより構成され、上記第1の導体パターン18a、第2の導体パターン18b及び内部電極22は、Ag、Ag-Pd、Au等で構成されている。

30

【0013】

本発明のバイアスT用コンデンサCにあっては、誘電体基板16表面に形成された導体パターン18、20と、誘電体基板16内部に形成され、上記導体パターン18、20と部分的に重なる内部電極22との間に、高周波用コンデンサ12a、12bを形成しているので、従来のバイアスT用のコンデンサC'の如く、導体パターン78bと高周波用コンデンサ72とを接続する外部電極端子80を設ける必要がなく、従って、高周波特性の劣化防止のための外部電極端子80の煩雑な接続作業が不要となり、生産性及び特性が向上する。

また、高周波用コンデンサ12a、12bを誘電体基板30内部に形成すると共に、セラミックチップコンデンサで構成された低周波用コンデンサ14の一方の電極14aを第1の導体パターン18に、他方の電極14bを第2の導体パターン20に接続することにより、該低周波用コンデンサ14と、一対の高周波用コンデンサ12a、12bとが並列接続できるので、部品点数の減少、形状の小型化を実現できる。

40

【0014】

図3に示すように、バイアスT用コンデンサCを構成する誘電体基板16の表面には、導体パターンを被着して形成した上記第3の端子3が設けられているので、誘電体基板16上に上記コイルL（図示せず）を配置し、該コイルLの一方の端子を、上記第2の導体パターン33の外端部に形成された第2の端子2に接続すると共に、他方の端子を上記第3の端子3に接続して一体化することにより、バイアスT10を構成することができる。

【0015】

50

## 【発明の効果】

本発明のバイアスT用コンデンサにあっては、誘電体基板表面に配置された導体パターンと、誘電体基板内部に配置され、上記導体パターンと重なる内部電極との間に、高周波用コンデンサを形成しているので、従来のバイアスT用コンデンサC'の如く、導体パターン78bと高周波用コンデンサ72とを接続する外部電極端子80を設ける必要がなく、従って、高周波特性の劣化防止のための外部電極端子80の煩雑な接続作業が不要となり、生産性及び特性が向上すると共に、部品点数の減少、形状の小型化を実現できる。

## 【図面の簡単な説明】

【図1】本発明に係るバイアスT用コンデンサを使用したバイアスTの回路図である。

【図2】本発明に係るバイアスT用コンデンサの概略断面図である。

10

【図3】本発明に係るバイアスT用コンデンサの概略平面図である。

【図4】従来のバイアスTを示す回路図である。

【図5】広帯域用のバイアスTに用いられる従来のコンデンサを示す回路図である。

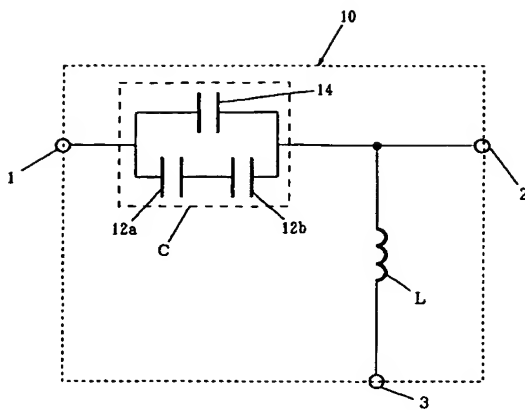
【図6】広帯域用のバイアスTに用いられる従来のコンデンサを、回路基板へ実装した状態を示す概略断面図である。

## 【符号の説明】

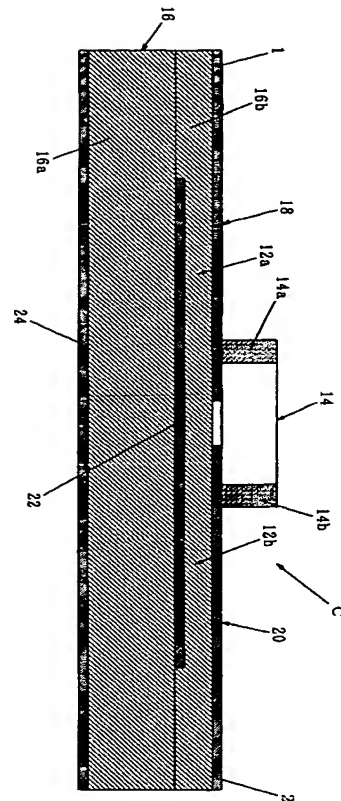
- 1 第1の端子
- 2 第2の端子
- 3 第3の端子
- 10 バイアスT
- C バイアスT用コンデンサ
- L コイル
- 12a 第1の高周波用コンデンサ
- 12b 第2の高周波用コンデンサ
- 14 低周波用コンデンサ
- 16 誘電体基板
- 18 第1の導体パターン
- 20 第2の導体パターン
- 22 内部電極

20

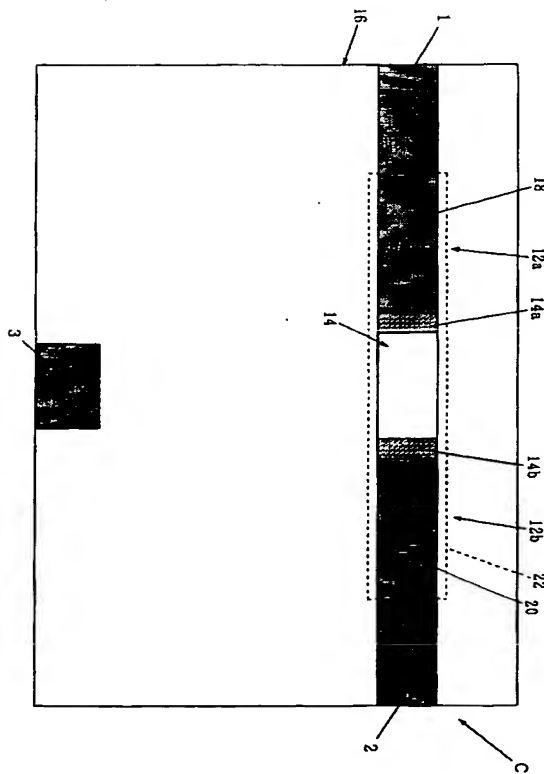
【図 1】



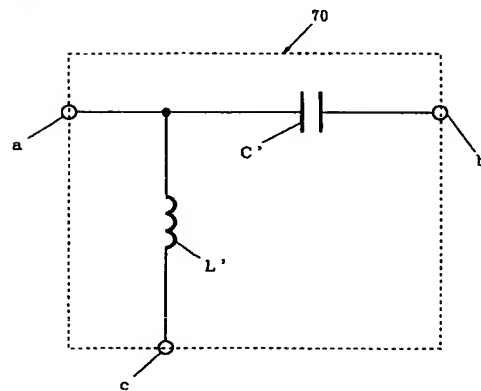
【図 2】



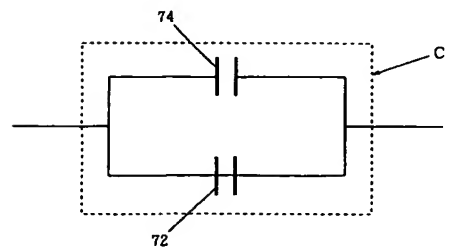
【図 3】



【図 4】



【図 5】





【 図 6 】

